

P/3236-39

407

05

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 7月29日

出 願 番 号  
Application Number:

特願2002-220468

[ ST.10/C ]:

[ JP2002-220468 ]

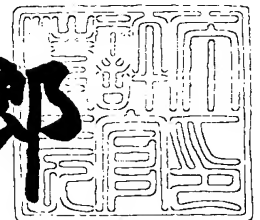
出 願 人  
Applicant(s):

エルピーダメモリ株式会社

2003年 6月19日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047977

【書類名】 特許願

【整理番号】 22310181

【提出日】 平成14年 7月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108  
H01L 21/8242  
H01L 21/316

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ  
株式会社内

【氏名】 小柳 賢一

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ  
株式会社内

【氏名】 佐久間 浩

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100099830

【弁理士】

【氏名又は名称】 西村 征生

【電話番号】 048-825-8201

【手数料の表示】

【予納台帳番号】 038106

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】            要約書    1  
【包括委任状番号】    0111128  
【プルーフの要否】    要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 上面に金属膜が形成された半導体基板を収容した反応室内に所望の金属を含んだ原料ガスを導入し、気相成長法により前記金属膜上に前記所望の金属の酸化膜を形成する第 1 段階と、前記第 1 段階に続いて、前記第 1 段階において前記反応室内に導入された前記原料ガス及び前記第 1 段階で発生した副生成物を前記反応室内から除去する第 2 段階とを 1 ステップとして、前記ステップを複数回繰り返し行なうことを特徴とする半導体装置の製造方法。

【請求項 2】 キャパシタを有する半導体装置の製造方法であって、上面に前記キャパシタの下部電極となる金属膜が形成された半導体基板を収容した反応室内に所望の金属を含んだ原料ガスを導入し、気相成長法により前記金属膜上に前記所望の金属の酸化膜を形成する第 1 段階と、前記第 1 段階に続いて、前記第 1 段階において前記反応室内に導入された前記原料ガス及び前記第 1 段階で発生した副生成物を前記反応室内から除去する第 2 段階とを 1 ステップとして、前記ステップを複数回繰り返して前記金属膜上に前記金属の酸化膜を成膜することにより前記キャパシタの容量絶縁膜を形成する工程と、前記容量絶縁膜上に前記キャパシタの上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】 前記半導体基板は、上面にシリンダ溝を備え、前記金属膜は前記シリンダ溝の底部及び内側面上に形成されていることを特徴とする請求項 1 又は 2 記載の半導体装置の製造方法。

【請求項 4】 前記第 2 段階において前記原料ガスとは異なるガスを前記反応室内に導入することにより前記原料ガス及び前記第 1 段階で発生した副生成物の除去が行なわれることを特徴とする請求項 1、2 又は 3 記載の半導体装置の製造方法。

【請求項 5】 前記第 2 段階において前記反応室内の圧力を減圧することにより前記原料ガス及び前記第 1 段階で発生した副生成物の除去が行なわれることを特徴とする請求項 1、2 又は 3 記載の半導体装置の製造方法。

【請求項 6】 前記第 2 段階において、前記減圧を行なった後、次の前記第 1 段階の前に前記原料ガスとは異なるガスを前記反応室内に導入して、前記反応室内の圧力を前記減圧を行なう前の圧力に戻すことを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記ステップを複数回繰り返すことにより最終的に必要な膜厚の金属酸化膜を形成することを特徴とする請求項 1 乃至 6 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 8】 前記ステップを複数回繰り返した後、前記第 1 段階よりも長い時間連続して前記原料ガスを導入することにより、最終的に必要な膜厚の金属酸化膜を形成することを特徴とする請求項 1 乃至 6 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 9】 前記第 1 段階において、酸化性ガスを導入することを特徴とする請求項 4 乃至 8 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 10】 前記ステップの繰り返しの 2 回目以降から、前記酸化性ガスの導入を開始することを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】 前記第 2 段階は、酸化性ガスを導入する工程と、前記原料ガス及び前記酸化性ガスとは異なるガスを導入する工程とを含むことを特徴とする請求項 1、2 又は 3 記載の半導体装置の製造方法。

【請求項 12】 前記原料ガスとは異なるガスは不活性ガスであることを特徴とする請求項 4、6 乃至 11 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 13】 前記不活性ガスは窒素ガスであることを特徴とする請求項 12 記載の半導体装置の製造方法。

【請求項 14】 前記金属膜が、触媒作用を有する金属から成ることを特徴とする請求項 1 乃至 13 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 15】 前記気相成長法が、化学的気相成長法あるいは物理的気相成長法であることを特徴とする請求項 1 乃至 14 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 16】 前記所望の金属の酸化膜として、タンタル、ハフニウム、ジルコニウム及びニオブウムの酸化膜、あるいはタンタル、ハフニウム、ジルコ

ニウム及びニオブウムのうち、2以上の金属が混合された金属酸化膜を用いることを特徴とする請求項1乃至15のいずれか1に記載の半導体装置の製造方法。

【請求項17】 前記タンタルを用いる場合、前記原料ガスとしてペンタエトキシタンタルを用いることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項18】 前記酸化性ガスとして、酸素、オゾン、水、酸化窒素又は酸素ラジカルを含んだガスを用いることを特徴とする請求項9、10又は14乃至17のいずれか1に記載の半導体装置の製造方法。

【請求項19】 前記触媒作用を有する金属として、ルテニウム又は白金を用いることを特徴とする請求項14乃至18のいずれか1に記載の半導体装置の製造方法。

【請求項20】 上面に金属膜が形成された半導体基板を収容した反応室内に所望の金属を含んだ原料ガスを導入し、気相成長法により前記金属膜上に前記所望の金属の酸化膜を形成する第1段階と、前記第1段階に続いて、前記第1段階において前記反応室内に導入された前記原料ガス及び前記第1段階で発生した副生成物を前記反応室内から除去する第2段階とを行なった後、前記第1段階よりも長い時間連続して前記原料ガスを導入することにより、最終的に必要な膜厚の前記金属の酸化膜を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置の製造方法に係り、詳しくは、下部電極としてルテニウム（Ru）のような触媒作用を有する金属を用いたキャパシタ（情報記憶容量素子）を備える半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体装置の代表として知られているLSI（大規模集積回路）は、メモリ製品とロジック製品とに大別されるが、最近の半導体製造技術の進歩につれて、特に前者における発展がめざましい。また、メモリ製品は、DRAM(Dynamic Ran

dom Access Memory)と、S R A M (Static Random Access Memory) とに分類されるが、これらのメモリ製品はほとんどが、集積度の点で優れているM O S (Metal Oxide Semiconductor)型トランジスタによって構成されている。また、特にD R A MはS R A Mに比較して上述したような高集積化の利点をより大きく生かせるため、コストダウンが図れるので、情報機器等における各種の記憶装置に広く適用されている。

## 【 0 0 0 3 】

D R A Mは、スイッチング動作を行なうM O S型トランジスタから成るメモリセル選択用トランジスタと、このメモリセル選択用トランジスタに接続されたキャパシタとにより1つのメモリセルを構成して、キャパシタの電荷の有無により情報を記憶する。ここで、最近の情報化社会の発展に伴う記憶される情報の増大につれて、半導体基板上に形成されるキャパシタの占有面積は制約されてくるので、個々のメモリセルのキャパシタの容量を増加させる工夫が必要になる。もしキャパシタが情報を記憶するのに十分な容量を有していないと、外部からのノイズ信号等の影響で容易に誤動作するようになるので、ソフトエラーで代表されるようなエラーが生じ易くなる。

## 【 0 0 0 4 】

従来から、D R A Mのキャパシタの容量絶縁膜としては、酸化シリコン ( $\text{SiO}_2$ ) 膜、窒化シリコン ( $\text{SiN}$ ) 膜、あるいは酸化タンタル ( $\text{Ta}_2\text{O}_5$ ) 膜のような金属酸化膜等が用いられている。このような容量絶縁膜の中で、特に金属酸化膜である酸化タンタル膜は、酸化シリコン膜、窒化シリコン膜等に比べて大きな誘電率を有しているので、酸化タンタル膜を容量絶縁膜として用いることにより、大きな容量を有するキャパシタを構成することができる。このような酸化タンタル膜の成膜は、一般に、成膜の容易さの点から化学的気相成長法 (Chemical Vapor Deposition: C V D法) により行われている。また、キャパシタの容量を増加させる方法として、下部電極の形状をシリンダ型のような立体構造に構成することも行われている。

## 【 0 0 0 5 】

また、酸化タンタル膜のような大きな誘電率を有する容量絶縁膜を下部電極上

に成膜してキャパシタを形成する場合、下部電極として表面が酸化してもその酸化膜が導電性を示すことにより容量の低下を防止できるRuのような金属を用い、さらに上部電極としても同Ruのような金属を用いたMIM(Metal Insulator Metal)型のキャパシタを構成することが行われている。上述したように下部電極の形状をシリンダ型のような立体構造に構成し、かつMIM型のキャパシタを備える半導体装置の製造方法が、例えば特開2001-313379号公報に開示されている。以下、図13を参照して、同半導体装置の製造方法を工程順に説明する。

まず、図13(a)に示すように、予め例えばP型半導体基板121上にMOS型トランジスタから成るメモリセルトランジスタ126を形成し、酸化シリコン膜127に形成したコンタクトホール128に容量コンタクト129を形成した後、全面にプラズマ酸化窒化膜シリコン膜130を介してプラズマ酸化シリコン膜131を形成する。次に、プラズマ酸化シリコン膜131に形成したシリンダ溝132にバリア膜133を介してRuから成る下部電極134を形成する。次に、下部電極134上にRuから成る選択成長膜135を形成する。符号122は素子分離領域、123はゲート酸化膜、124はゲート電極、125はN型拡散領域である。

#### 【0006】

次に、図13(b)に示すように、CVD法により全面に酸化タンタル膜から成る容量絶縁膜136を形成する。酸化タンタル膜の成膜は、原料ガスとしてタンタル化合物である例えばペンタエトキシタンタル $[\text{Ta}(\text{OC}_2\text{H}_5)_5]$ 以下、PETとも称する]を及び酸素( $\text{O}_2$ )ガスを反応炉に導入して行なう。次に、図13(c)に示すように、Ruから成る上部電極膜137を成膜した後パターニングして上部電極を形成することにより、キャパシタを形成する。

また、上記公報と同様な半導体装置の製造方法が、例えば特開2002-26273号公報にも開示されている。

#### 【0007】

図14は、上述したような従来の半導体装置の製造方法において、酸化タンタル膜を成膜させるための成膜シーケンスの一例を示す図である。所定の成膜温度



及び成膜圧力に維持された反応室内に半導体基板を収容した後、時刻  $t_{100}$  において反応室内に、タンタル化合物である P E T を窒素 ( $N_2$ ) キャリアガスで噴霧し気化させた原料ガスと同時に、酸素ガスをそれぞれ一定量ずつ導入して、酸化タンタル膜の成膜を開始する。そして、所定時間経過後の時刻  $t_{200}$  において原料ガスと酸素ガスの導入を同時に停止する。ここで、酸素ガスは、酸化タンタル膜を成膜したときに発生し易い酸素の空孔を充填し、かつ有機物を除去するために用いられている。また、上述のような成膜シーケンスを用いた従来の半導体装置の製造方法では、一回の連続した原料ガスの導入により最終的に必要な膜厚の容量絶縁膜を成膜している。

【0008】

【発明が解決しようとする課題】

しかしながら、従来の半導体装置の製造方法では、下地すなわち下部電極の形状によっては、酸化タンタル膜が異常成長してしまう場合があることがわかった。特に、シリンダ溝のアスペクト比が高くなった場合や、複数のシリンダ溝の占有面積が大きくなった場合等において、上記従来の半導体装置の製造方法により酸化タンタル膜から成る容量絶縁膜を形成しようとする、シリンダ溝内には容量絶縁膜がほとんど成長せず、シリンダ溝上部において異常成長することがわかった。このような異常成長は、シリンダ溝のアスペクト比が低い場合や、下部電極の形状がシリンダ構造ではなく平坦な構造の場合にはほとんどみられなかった。

【0009】

これらのことから、この発明の発明者らは、そのように酸化タンタル膜が異常成長し易くなるのは、以下に説明するような現象に基づくものと推測した。

例えば、図 1 3 に示したような従来の半導体装置の製造方法において、シリンダ溝 1 3 2 に R u から成る下部電極 1 3 4 を形成した後、酸化タンタル膜から成る容量絶縁膜 1 3 6 を形成すると、R u が触媒として作用して原料ガスの分解を促進して酸化タンタル膜を成長させ、さらに分解により生じた酸素、炭素、窒素成分等を含んだ副生成物が酸化タンタル膜の成長を促進する。そして、原料ガスの分解の進行につれて、シリンダ溝 1 3 2 内に副生成物が充填されてしまうため

、この後シリンダ溝 1 3 2 内に原料ガスが供給されなくなるので、シリンダ溝 1 3 2 の側壁及び底部には酸化タンタル膜が成長しなくなる。一方、シリンダ溝 1 3 2 の上部には多量の副生成物が形成されるのでその作用により酸化タンタル膜の成長が爆発的に行われるようになって、酸化タンタル膜が異常成長するようになる。したがって、カバレッジが著しく低下する。

図 1 5 は、そのようにシリンダ溝 1 3 2 の上部に異常成長した酸化タンタル膜から成る容量絶縁膜 1 3 6 を概略的に示す図である。このように、カバレッジが低下すると、この後に酸化タンタル膜上に上部電極を形成してキャパシタを完成させた場合に、下部電極と上部電極とが短絡し易くなるので、キャパシタが動作不良になってしまう。

#### 【 0 0 1 0 】

この発明は、上述の事情に鑑みてなされたもので、金属膜上に金属の酸化膜を成膜する場合、該金属の酸化膜の異常成長を抑制することができるようにした半導体装置の製造方法を提供することを目的としている。

#### 【 0 0 1 1 】

##### 【課題を解決するための手段】

上記課題を解決するために、請求項 1 記載の発明は、半導体装置の製造方法に係り、上面に金属膜が形成された半導体基板を収容した反応室内に所望の金属を含んだ原料ガスを導入し、気相成長法により上記金属膜上に上記所望の金属の酸化膜を形成する第 1 段階と、上記第 1 段階に続いて、上記第 1 段階において上記反応室内に導入された上記原料ガス及び上記第 1 段階で発生した副生成物を上記反応室内から除去する第 2 段階とを 1 ステップとして、上記ステップを複数回繰り返すことを特徴としている。

#### 【 0 0 1 2 】

また、請求項 2 記載の発明は、キャパシタを有する半導体装置の製造方法に係り、上面に上記キャパシタの下部電極となる金属膜が形成された半導体基板を収容した反応室内に所望の金属を含んだ原料ガスを導入し、気相成長法により上記金属膜上に上記所望の金属の酸化膜を形成する第 1 段階と、上記第 1 段階に続いて、上記第 1 段階において上記反応室内に導入された上記原料ガス及び上記第 1

段階で発生した副生成物を上記反応室内から除去する第 2 段階とを 1 ステップとして、上記ステップを複数回繰り返して上記金属膜上に上記金属の酸化膜を成膜することにより上記キャパシタの容量絶縁膜を形成する工程と、上記容量絶縁膜上に上記キャパシタの上部電極を形成する工程とを含むことを特徴としている。

【 0 0 1 3 】

また、請求項 3 記載の発明は、請求項 1 又は 2 記載の半導体装置の製造方法に係り、上記半導体基板は、上面にシリンダ溝を備え、上記金属膜は上記シリンダ溝の底部及び内側面上に形成されていることを特徴としている。

【 0 0 1 4 】

また、請求項 4 記載の発明は、請求項 1、2 又は 3 記載の半導体装置の製造方法に係り、上記第 2 段階において上記原料ガスとは異なるガスを上記反応室内に導入することにより上記原料ガス及び上記第 1 段階で発生した副生成物の除去が行なわれることを特徴としている。

【 0 0 1 5 】

また、請求項 5 記載の発明は、1、2 又は 3 記載の半導体装置の製造方法に係り、上記第 2 段階において上記反応室内の圧力を減圧することにより上記原料ガス及び上記第 1 段階で発生した副生成物の除去が行なわれることを特徴としている。

【 0 0 1 6 】

また、請求項 6 記載の発明は、請求項 5 記載の半導体装置の製造方法に係り、上記第 2 段階において、上記減圧を行なった後、次の上記第 1 段階の前に上記原料ガスとは異なるガスを上記反応室内に導入して、上記反応室内の圧力を上記減圧を行なう前の圧力に戻すことを特徴としている。

【 0 0 1 7 】

また、請求項 7 記載の発明は、請求項 1 乃至 6 のいずれか 1 に記載の半導体装置の製造方法に係り、上記ステップを複数回繰り返すことにより最終的に必要な膜厚の金属酸化膜を形成することを特徴としている。

【 0 0 1 8 】

また、請求項 8 記載の発明は、請求項 1 乃至 6 のいずれか 1 に記載の半導体装

置の製造方法に係り、上記ステップを複数回繰り返した後、上記第 1 段階よりも長い時間連続して上記原料ガスを導入することにより、最終的に必要な膜厚の金属酸化膜を形成することを特徴としている。

【 0 0 1 9 】

また、請求項 9 記載の発明は、請求項 4 乃至 8 のいずれか 1 に記載の半導体装置の製造方法に係り、上記第 1 段階において、酸化性ガスを導入することを特徴としている。

【 0 0 2 0 】

また、請求項 1 0 記載の発明は、請求項 9 記載の半導体装置の製造方法に係り、上記ステップの繰り返しの 2 回目以降から、上記酸化性ガスの導入を開始することを特徴としている。

【 0 0 2 1 】

また、請求項 1 1 記載の発明は、請求項 1、2 又は 3 記載の半導体装置の製造方法に係り、上記第 2 段階は、酸化性ガスを導入する工程と、上記原料ガス及び上記酸化性ガスとは異なるガスを導入する工程とを含むことを特徴としている。

【 0 0 2 2 】

また、請求項 1 2 記載の発明は、請求項 4、6 乃至 1 1 のいずれか 1 に記載の半導体装置の製造方法に係り、上記原料ガスとは異なるガスは不活性ガスであることを特徴としている。

【 0 0 2 3 】

また、請求項 1 3 記載の発明は、請求項 1 2 記載の半導体装置の製造方法に係り、上記不活性ガスは窒素ガスであることを特徴としている。

【 0 0 2 4 】

また、請求項 1 4 記載の発明は、請求項 1 乃至 1 3 のいずれか 1 に記載の半導体装置の製造方法に係り、上記金属膜が、触媒作用を有する金属から成ることを特徴としている。

【 0 0 2 5 】

また、請求項 1 5 記載の発明は、請求項 1 乃至 1 4 のいずれか 1 に記載の半導体装置の製造方法に係り、上記気相成長法が、化学的気相成長法あるいは物理的

気相成長法であることを特徴としている。

【 0 0 2 6 】

また、請求項 1 6 記載の発明は、請求項 1 乃至 1 5 のいずれか 1 に記載の半導体装置の製造方法に係り、上記所望の金属の酸化膜として、タンタル、ハフニウム、ジルコニウム及びニオブウムの酸化膜、あるいはタンタル、ハフニウム、ジルコニウム及びニオブウムのうち、2 以上の金属が混合された金属酸化膜を用いることを特徴としている。

【 0 0 2 7 】

また、請求項 1 7 記載の発明は、請求項 1 6 記載の半導体装置の製造方法に係り、上記タンタルを用いる場合、上記原料ガスとしてペンタエトキシタンタルを用いることを特徴としている。

【 0 0 2 8 】

また、請求項 1 8 記載の発明は、請求項 9、1 0 又は 1 4 乃至 1 7 のいずれか 1 に記載の半導体装置の製造方法に係り、上記酸化性ガスとして、酸素、オゾン、水、酸化窒素又は酸素ラジカルを含んだガスを用いることを特徴としている。

【 0 0 2 9 】

また、請求項 1 9 記載の発明は、請求項 1 4 乃至 1 8 のいずれか 1 に記載の半導体装置の製造方法に係り、上記触媒作用を有する金属として、ルテニウム又は白金を用いることを特徴としている。

【 0 0 3 0 】

また、請求項 2 0 記載の発明は、半導体装置の製造方法に係り、上面に金属膜が形成された半導体基板を収容した反応室内に所望の金属を含んだ原料ガスを導入し、気相成長法により上記金属膜上に上記所望の金属の酸化膜を形成する第 1 段階と、上記第 1 段階に続いて、上記第 1 段階において上記反応室内に導入された上記原料ガス及び上記第 1 段階で発生した副生成物を上記反応室内から除去する第 2 段階とを行なった後、上記第 1 段階よりも長い時間連続して上記原料ガスを導入することにより、最終的に必要な膜厚の上記金属の酸化膜を形成することを特徴としている。

【 0 0 3 1 】

## 【作用】

この発明の半導体装置の製造方法によれば、上記の通り、第 1 段階において発生した副生成物は、続く第 2 段階において除去されるため、次の第 1 段階（請求項 2 0 記載の発明において、連続して原料ガスを導入する段階）において金属の酸化膜を成膜する際は、成膜初期と同様に副生成物の存在しない状態で成膜されることとなるため、異常成長は起こらず、均一な膜厚で成膜され得る。したがって、金属酸化膜をカバレッジ良く成膜することが可能となる。

## 【0 0 3 2】

## 【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行なう。

## ◇第 1 実施例

図 1 乃至図 3 は、この発明の第 1 実施例である半導体装置の製造方法の構成を工程順に示す工程図、図 4 は同半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。以下、図 1 ～図 4 を参照して同半導体装置の製造方法について工程順に説明する。

まず、図 1（a）に示すように、例えば P 型半導体基板 1 を用いて、周知の L O C O S (Local Oxidation of Silicon) 法あるいは S T I (Shallow Trench Isolation) 法等により素子分離領域 2 を形成することにより、各活性領域の中央部に例えば酸化シリコン膜から成るゲート絶縁膜 3 及び多結晶シリコン膜から成るゲート電極 4 を形成する。次に、ゲート電極 4 を利用した自己整合法により N 型不純物をイオン打ち込みして、ソース領域及びドレイン領域となる一対の N 型領域 5、6 を形成した後、全面に例えば酸化シリコン膜から成る第 1 層間絶縁膜 7 を形成することにより、N M O S 型トランジスタから成るメモリセル選択用トランジスタ 8 を製造する。

## 【0 0 3 3】

次に、図 1（b）に示すように、リソグラフィ法により、第 1 層間絶縁膜 7 にメモリセル選択用トランジスタ 8 の一方の N 型領域 6 を露出するコンタクトホール 9 を形成した後、コンタクトホール 9 内にドレイン領域 6 と接続されるように

例えば窒化チタン膜(TiN)から成るコンタクトプラグ10を埋め込むように形成する。

#### 【0034】

次に、図1(c)に示すように、全面に例えば酸化シリコン膜から成る第2層間絶縁膜11を形成した後、図2(d)に示すように、リソグラフィ法により、第2層間絶縁膜11にコンタクトプラグ10を露出するシリンダ溝12を形成する。次に、CVD法により、シリンダ溝12を含む全面に例えばRu膜から成る膜厚が20nmの下部電極膜を形成した後、図2(e)に示すように、CMP(Chemical Mechanical Polishing)法により、第2層間絶縁膜11上の不要な下部電極膜を除去し、シリンダ溝12内のみに残した下部電極膜により膜厚が20nmの下部電極13を形成する。

#### 【0035】

次に、図3(f)に示すように、CVD法により、図4に示すような成膜シーケンスに基づいて酸化タンタル膜を成膜して、下部電極13上に酸化タンタル膜から成る容量絶縁膜14を形成する。一例として、最終的に必要な膜厚が15nmの酸化タンタル膜を、300秒の時間で成膜する例で説明する。以下、容量絶縁膜の製造方法について詳細に説明する。

#### 【0036】

この例の半導体装置の製造方法では、Ru膜から成る下部電極膜13を形成した半導体基板1を反応室内に收容した後、反応室内に所望の金属を含んだ原料ガスを導入してCVD法により所望の金属の酸化膜を形成する第1段階と、この第1段階に続いて、第1段階において反応室内に導入された原料ガス及び第1段階で発生した副生成物を反応室内から除去する第2段階とを1ステップとして、このステップを60回繰り返すことにより、最終的に必要な膜厚である15nmの酸化タンタル膜を成膜するようにする。

すなわち、図4の成膜シーケンスから明らかなように、略430℃(成膜温度)に加熱され、略4Torr(成膜圧力)に維持された反応室内に基板1を收容した後、時刻t1において反応室内に、第1段階S1に基づいて原料ガスであるPETを50mg/m(分)の割合で、500sccmの流量の窒素(N2)キャリア

ガスで噴霧し気化させて導入して酸化タンタル膜の成膜を開始し、5秒後の時刻  $t_2$  において原料ガスの導入を停止する。この5秒間に0.25nmの酸化タンタル膜を成膜する。なお、成膜される膜厚は、反応室内の温度、圧力、ガス流量等により異なってくるが、ここでは理解を容易にするためそれらの影響は考慮しないで示すものとする。次に、時刻  $t_2 \sim t_3$  の10秒間に第2段階S2に基づいて500sccmの流量の窒素ガスをパージガスとして導入して、第1回目のステップSTを終了する。

## 【0037】

この第1回目のステップSTにおける第1段階S1によって成膜される0.25nmの酸化タンタル膜は、シリンダ溝12内を含む全面にカバレッジ良く形成される。すなわち、原料ガス導入開始時には、反応室内に副生成物が存在しないため、原料ガスがシリンダ溝12内部を含む全体に均一に行き渡るため、成長が均一に進む。よって、本実施例のように、0.25nm程度の極く薄い膜厚までは、カバレッジ良く成膜することが可能である。しかしながら、その後、そのまま原料ガスの導入を続けると、副生成物の量が多くなり異常成長が始まってしまうことになるため、その前の段階で、原料ガスの導入を停止し、第1段階で形成された副生成物を第2段階において導入した窒素ガスをパージガスとして作用させて除去している。

## 【0038】

続いて、時刻  $t_3$  において第1段階S1に基づいてPETを50mg/mの割合で、500sccmの流量の窒素キャリアガスで噴霧し気化させて導入して酸化タンタル膜の成膜を開始し、5秒後の時刻  $t_4$  において原料ガスの導入を停止する。この5秒間に新たに0.25nmの酸化タンタル膜を成膜する。次に、時刻  $t_4 \sim t_5$  の10秒間に第2段階S2に基づいて500sccmの流量の窒素ガスをパージガスとして導入して、第2回目のステップSTが終了する。

## 【0039】

この第2回目のステップSTにおける第1段階S1によって新たに成膜される0.25nmの酸化タンタル膜も、シリンダ溝12内を含む全面にカバレッジ良く形成される。すなわち、第1回目のステップSTの第1段階S1において形成



された副生成物は予め第 2 段階 S 2 において窒素ガスにより除去されているので、第 2 回目のステップ S T における第 1 段階 S 1 による原料ガス導入時には、チャンバ内に副生成物が存在しないため、原料ガスがシリンダ溝 1 2 内部を含む全体に均一に行き渡るため、成長が均一に進む。よって、第 1 ステップ S T と同様に、この第 2 回目のステップ S T においてもカバレッジ良く成膜することが可能となる。

以下、第 3 回目以降のステップ S T においても、第 1 段階 S 1 による原料ガス導入時に、前回のステップ S T の第 2 段階 S 2 において副生成物が窒素ガスにより除去されて存在しないため、原料ガスがシリンダ溝 1 2 内部を含む全体に均一に行き渡るため、成長が均一に進む。よって、前回のステップ S T と同様に、カバレッジ良く成膜することが可能となる。そして、上述したようなステップ S T を 6 0 回繰り返すことにより、下部電極 1 3 上に最終的に必要な膜厚である 1 5 ( 0 . 2 5 n m × 6 0 回 ) n m の酸化タンタル膜から成る容量絶縁膜 1 4 を形成する。

#### 【 0 0 4 0 】

次に、容量絶縁膜 1 4 の成膜が終了した後、基板 1 を別の反応炉に移して、酸化性雰囲気内で例えば 5 5 0 ~ 6 0 0 ° C でアニール処理、あるいは酸素ラジカル処理を施して、酸化タンタル膜を安定化させる。

#### 【 0 0 4 1 】

次に、図 3 ( g ) に示すように、容量絶縁膜 1 4 上に例えば R u 膜から成る上部電極 1 5 を形成することにより、キャパシタ 1 6 を形成する。以上により、N M O S 型トランジスタから成るメモリセル選択用トランジスタ 8 の一方の N 型領域 6 に、コンタクトプラグ 1 0 を介してキャパシタ 1 6 が接続された、1 ビットの情報を記憶するメモリセル 1 7 を完成させる。

#### 【 0 0 4 2 】

図 5 は、この例の半導体装置の製造方法によって成膜した酸化タンタル膜を概略的に示す図である。同図から明らかなように、本実施例によれば、異常成長を防止し、シリンダ溝 1 2 の側壁及び底部に酸化タンタル膜を略均一に、カバレッジ良く成長することができる。

## 【 0 0 4 3 】

また、この例の半導体装置の製造方法によれば、容量絶縁膜の異常成長を抑制できるため、特にアスペクト比が大きくてシリンダ溝の占有面積の大きなパターンのキャパシタに適用できるので、容量の大きなキャパシタを容易に実現することができる。

## 【 0 0 4 4 】

## ◇第2実施例

図6は、この発明の第2実施例である半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。この例の半導体装置の製造方法の構成が、上述した第1実施例の構成と大きく異なるところは、上記ステップを複数回繰り返した後、連続して原料ガスを導入することにより、容量絶縁膜として最終的に必要な膜厚（第1実施例の場合と同様に15nm）の酸化タンタル膜を成膜ようにした点である。以下、図6を参照して、同半導体装置の製造方法について説明する。

すなわち、第1実施例の図3（f）の工程に代えて、図6の成膜シーケンスに基づいて酸化タンタル膜を成膜して、下部電極13上に酸化タンタル膜から成る容量絶縁膜14を形成する。

## 【 0 0 4 5 】

この例の半導体装置の製造方法では、第1実施例のステップSTと同様なステップSTを10回繰り返した後、最終的に必要な膜厚（15nm）になるまで連続して原料ガスを導入することよりの酸化タンタル膜を成膜するようにする。すなわち、図6の成膜シーケンスから明らかなように、略430℃に加熱され、略4Torrに維持された反応室内に基板1を収容した後、時刻t1において反応室内に、第1段階S1に基づいてPETを50mg/m（分）の割合で、500sccmの流量の窒素キャリアガスで噴霧し気化させて導入して酸化タンタル膜の成膜を開始し、5秒後の時刻t2において原料ガスの導入を停止して、その5秒間に0.25nmの酸化タンタル膜を成膜する。次に、時刻t2～t3の10秒間に第2段階S2に基づいて500sccmの流量の窒素ガスをパージガスとして導入して、第1回目のステップSTを終了する。

次に、上記ステップ S T を 1 0 回繰り返した後、時刻  $t_{10} \sim t_{20}$  において反応室内に上記原料ガスを 2 5 0 秒間導入し連続して 1 2 . 5 n m の酸化タンタル膜を成膜することにより、下部電極 1 3 上に最終的に必要な膜厚である 1 5 ( 0 . 2 5  $\times$  1 0 回 + 1 2 . 5 ) n m の酸化タンタル膜から成る容量絶縁膜 1 4 を形成する。

#### 【 0 0 4 6 】

酸化タンタル膜の成膜初期は、下部電極が完全に露出しているため、下部電極材料である R u による触媒作用が強く、特に異常成長が生じ易いが、下部電極が酸化タンタル膜で覆われてくるに従い、下部電極による触媒作用が少なくなってくるため、異常成長の程度は低くなってくる。よって、本実施例では、異常成長が過度に生じ易い成膜初期には、成膜とパージのステップ S T を繰り返し行ない、ある程度下部電極が酸化タンタル膜で覆われた後は、酸化タンタル膜が最終的に必要な膜厚になるまで連続して成膜を行なうようにしている。

以下は、第 1 実施例と同様に、アニール処理等を施した後、図 3 ( g ) と略同様な工程を繰り返して、容量絶縁膜 1 4 上に例えば R u から成る上部電極 1 5 を形成することにより、キャパシタ 1 6 を形成したメモリセル 1 7 を完成させる。

#### 【 0 0 4 7 】

上述したように、この例の半導体装置の製造方法によれば、第 1 実施例で説明したのと同様に、第 1 回目のステップ S T における第 1 段階 S 1 によって成膜される 0 . 2 5 n m の酸化タンタル膜は、原料ガス導入開始時には、反応室内に副生成物が存在しないので、原料ガスがシリンダ溝 1 2 内部を含む全体に均一に行き渡るため成長が均一に進む。また、第 2 回目～第 1 0 回目の各ステップ S T における第 1 段階 S 1 によって成膜される 0 . 2 5 n m の酸化タンタル膜は、第 1 段階 S 1 による原料ガス導入時に、前回のステップ S T の第 2 段階 S 2 において副生成物が窒素ガスにより除去されて存在しないので、原料ガスがシリンダ溝 1 2 内部を含む全体に均一に行き渡るため成長が均一に進むことにより、容量絶縁膜をカバレッジ良く成膜することができる。

その後は、残りの膜厚の酸化タンタル膜を連続して成膜するため、第 1 実施例と比較するとカバレッジは若干劣るが、繰り返し回数が少ないため、第 1 実施例

よりもスループットを向上させることができる。したがって、アスペクト比がそれほど高くない場合等は、本実施例のようにすることにより、十分なカバレッジを得るとともにスループットを向上させることができる。

#### 【 0 0 4 8 】

第2実施例では、ステップ S T を 1 0 回繰り返す例を示したが、ステップ S T の繰り返し回数はこれに限らず、これよりも多く、あるいは少なくしても良い。さらに、ステップ S T を繰り返さずに、ステップ S T を 1 回だけ行なった後、最終的に必要な膜厚になるまで連続して原料ガスを導入することにより、酸化タンタル膜を成膜するようにしても良い。すなわち、第2実施例の図6の成膜シーケンスにおいて、第1段階 S 1 の時刻  $t_1 \sim t_2$  の 5 秒間で原料ガスを導入することにより 0. 2 5 n m の酸化タンタル膜を成膜した後、時刻  $t_2 \sim t_3$  の 1 0 秒間にパージガスとしての窒素ガスを導入することにより第1段階 S 1 で形成された副生成物を除去する。次に、時刻  $t_{10} \sim t_{20}$  に対応した 2 9 5 秒間に原料ガスを連続して導入して 1 4. 7 5 n m の酸化タンタル膜を成膜することにより、下部電極 1 3 上に最終的に必要な膜厚である 1 5 ( 0. 2 5 + 1 4. 7 5 ) n m の酸化タンタル膜から成る容量絶縁膜 1 4 を形成する。

このようにステップ S T を 1 回行なうだけでも、従来技術と比較して十分にカバレッジを向上させることができる。

#### 【 0 0 4 9 】

#### ◇第3実施例

図7は、この発明の第3実施例である半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。この例の半導体装置の製造方法の構成が、上述した第2実施例の構成と大きく異なるところは、上述のステップ S T を第2実施例よりも多く繰り返し、その後容量絶縁膜として最終的に必要な膜厚（第1実施例の場合と同様に 1 5 n m）になるまで連続して原料ガスを導入する期間に同時に酸化性ガスを導入するようにした点である。以下、図7を参照して、同半導体装置の製造方法について説明する。

すなわち、第1実施例の図3（f）の工程に代えて、図7の成膜シーケンスに基づいて酸化タンタル膜を成膜して、下部電極 1 3 上に酸化タンタル膜から成る

容量絶縁膜 1 4 を形成する。

【 0 0 5 0 】

この例の半導体装置の製造方法では、第 2 実施例のステップ S T と同様なステップ S T を 2 0 回繰り返した後、最終的に必要な膜厚（1 5 n m）になるまで連続して原料ガスを導入する期間に同時に酸化性ガスを導入することにより酸化タンタル膜を成膜するようにする。すなわち、図 7 の成膜シーケンスから明らかなように、第 2 実施例のステップ S T と同様なステップ S T を 2 0 回繰り返した後、時刻  $t_{30} \sim t_{40}$  において反応室内に上記原料ガス及び酸素（ $O_2$ ）ガスを 2 0 0 秒間導入することにより、下部電極 1 3 上に最終的に必要な膜厚である 1 5（ $0.25 \times 20 \text{ 回} + 10$ ）n m の酸化タンタル膜から成る容量絶縁膜 1 4 を形成する。

【 0 0 5 1 】

以下は、第 1 実施例と同様に、アニール処理等を施した後、図 3（g）と略同様な工程を繰り返して、容量絶縁膜 1 4 上に例えば R u から成る上部電極 1 5 を形成することにより、キャパシタ 1 6 を形成したメモリセル 1 7 を完成させる。

【 0 0 5 2 】

上述したように、この例の半導体装置の製造方法によれば、第 2 実施例で説明したのと同様に、第 1 回目のステップ S T における第 1 段階 S 1 によって成膜される 0. 2 5 n m の酸化タンタル膜は、原料ガス導入開始時には、反応室内に副生成物が存在しないので、原料ガスがシリンダ溝 1 2 内部を含む全体に均一に行き渡るため成長が均一に進む。また、第 2 回目～第 2 0 回目の各ステップ S T における第 1 段階 S 1 によって成膜される 0. 2 5 n m の酸化タンタル膜は、第 1 段階 S 1 による原料ガス導入時に、前回のステップ S T の第 2 段階 S 2 において副生成物が窒素ガスにより除去されて存在しないので、原料ガスがシリンダ溝 1 2 内部を含む全体に均一に行き渡るため成長が均一に進むことにより、容量絶縁膜をカバレッジ良く成膜することができる。

【 0 0 5 3 】

また、この例の半導体装置の製造方法によれば、連続して原料ガスを導入する期間に同時に酸素ガスを導入するようにしたので、酸素ガスは酸化タンタル膜を

成膜したときに発生し易い酸素の空孔を充填し、かつ有機物を除去するように働くため、容量絶縁膜の膜質を向上させることができる。原料ガスと同時に酸素ガスを導入すると、酸素ガスは副生成物の生成を促進させてしまうため、異常成長が生じ易くなる。そのため、本実施例では、第2実施例よりも最初のステップS Tの繰り返し回数を多くすることにより、異常成長を抑制するようにしている。

【0054】

#### ◇第4実施例

図8は、この発明の第4実施例である半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。この例の半導体装置の製造方法の構成が、上述した第1実施例の構成と大きく異なるところは、上述の第1段階と第2段階とを複数回繰り返して容量絶縁膜として最終的に必要な膜厚（第1実施例の場合と同様に15nm）の酸化タンタル膜を成膜する際、原料ガスを導入する期間に同時に酸化性ガスを導入するようにした点である。以下、図8を参照して、同半導体装置の製造方法について説明する。

すなわち、第1実施例の図3（f）の工程に代えて、図8の成膜シーケンスに基づいて酸化タンタル膜を成膜して、下部電極13上に酸化タンタル膜から成る容量絶縁膜14を形成する。

【0055】

この例の半導体装置の製造方法では、第1実施例のように原料ガスを導入して成膜する第1段階S1と、パージガスとしての窒素ガスを導入する第2段階S2との組合せを1ステップS Tとして、60ステップS Tを繰り返す際、各ステップS Tの第1段階S1の期間に酸素ガスを導入するとともに、第2段階S2の時間を第1実施例よりも長くとることにより、最終的に必要な膜厚（15nm）の酸化タンタル膜を成膜するようにする。すなわち、図8の成膜シーケンスから明らかなように、略430℃に加熱され、略4Torrに維持された反応室内に基板1を収容した後、時刻t1において反応室内に、第1段階S1に基づいてPETを50mg/m（分）の割合で、500sccmの流量の窒素キャリアガスで慣霧し気化させた原料ガス及び1000sccmの流量の酸素ガスを導入して酸化タンタル膜の成膜を開始し、5秒後の時刻t2において原料ガスの導入を停止する

。この5秒間に0.25nmの酸化タンタル膜を成膜する。次に、時刻 $t_2 \sim t_3$ の30秒間に第2段階S2に基づいて1500sccmの流量の窒素ガスをパージガスとして導入して、第1回目のステップSTを終了する。

以下、第2回目から第60回目まで同様に60ステップSTを繰り返すことにより、下部電極13上に最終的に必要な膜厚である15nmの酸化タンタル膜から成る容量絶縁膜14を形成する。

本実施例では、第1段階において酸素ガスを導入していることにより、導入しない場合に比べて副生成物がより生成され易くなっている。このため、次のステップSTに移る前に、副生成物を十分に除去できるように第2段階の時間を長くしている。

#### 【0056】

以下は、第1実施例と同様に、アニール処理等を施した後、図3(g)と略同様な工程を繰り返して、容量絶縁膜14上に例えばRuから成る上部電極15を形成することにより、キャパシタ16を形成したメモリセル17を完成させる。

#### 【0057】

上述したように、この例の半導体装置の製造方法によれば、第1実施例で説明したのと同様に、第1回目のステップSTにおける第1段階S1によって成膜される0.25nmの酸化タンタル膜は、原料ガス導入開始時には、反応室内に副生成物が存在しないので、原料ガスがシリンダ溝12内部を含む全体に均一に行き渡るため成長が均一に進む。また、第2回目～第60回目の各ステップSTにおける第1段階S1によって成膜される0.25nmの酸化タンタル膜は、第1段階S1による原料ガス導入時に、前回のステップSTの第2段階S2において副生成物が窒素ガスにより除去されて存在しないので、原料ガスがシリンダ溝12内部を含む全体に均一に行き渡るため成長が均一に進むことにより、容量絶縁膜のカバレッジを向上させることができる。

#### 【0058】

また、この例の半導体装置の製造方法によれば、各ステップSTの原料ガスを導入する期間に酸素ガスを導入するようにしたので、容量絶縁膜の膜質を向上させることができるだけでなく、第1実施例より各ステップSTの第2段階S2の

時間を第 1 段階 S 1 よりも長くするようにしたので、各ステップ S T における第 2 段階 S 2 によって副生成物を除去できる時間が長くなるため、容量絶縁膜が異常成長を起こすマージンを高くとることができる。

【 0 0 5 9 】

#### ◇第 5 実施例

図 9 は、この発明の第 5 実施例である半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。この例の半導体装置の製造方法の構成が、上述した第 4 実施例の構成と大きく異なるところは、上述の第 1 段階と第 2 段階とを複数回繰り返して容量絶縁膜として最終的に必要な膜厚（第 1 実施例の場合と同様に 1 5 n m）の酸化タンタル膜を成膜する際、各ステップの第 2 段階において反応室内の圧力を減圧するようにした点である。以下、図 9 を参照して、同半導体装置の製造方法について説明する。

すなわち、第 1 実施例の図 3（f）の工程に代えて、図 9 の成膜シーケンスに基づいて酸化タンタル膜を成膜して、下部電極 1 3 上に酸化タンタル膜から成る容量絶縁膜 1 4 を形成する。

【 0 0 6 0 】

この例の半導体装置の製造方法では、原料ガスを導入して酸化タンタル膜を成膜する第 1 段階 S 1 と、第 1 段階で発生した副生成物を除去する第 2 段階 S 2 との組合せを 1 ステップ S T として、6 0 ステップ S T を繰り返す際、各ステップ S T の第 1 段階 S 1 の期間に酸素ガスを導入するとともに、各ステップの第 2 段階 S 2 において反応室内の圧力を減圧することにより、最終的に必要な膜厚（1 5 n m）の酸化タンタル膜を成膜するようにする。すなわち、図 9 の成膜シーケンスから明らかなように、略 4 3 0 ℃に加熱され、略 4 Torr に維持された反応室内に基板 1 を収容した後、時刻 t 1 において反応室内に、第 1 段階 S 1 に基づいて P E T を 5 0 m g / m（分）の割合で、5 0 0 s c c m の流量の窒素キャリアガスで噴霧し気化させた原料ガス及び 5 0 0 s c c m の流量の酸素ガスを導入して酸化タンタル膜の成膜を開始し、5 秒後の時刻 t 2 において原料ガスの導入を停止する。この 5 秒間に 0. 2 5 n m の酸化タンタル膜を成膜する。次に、第 2 段階 S 2 の一部である時刻 t 2 ～ t 3 の 2 0 秒間に上記 4 Torr に維持されている



反応室内の圧力を、真空引きして略 0. 1 Torr に減圧させた後、時刻  $t_3 \sim t_4$  の 10 秒間に 1000 sccm の流量の窒素ガスを圧力調整用ガスとして導入して、第 1 回目のステップ S T を終了する。

以下、第 2 回目から第 60 回目まで同様に 60 ステップ S T を繰り返すことにより、下部電極 13 上に最終的に必要な膜厚である 15 nm の酸化タンタル膜から成る容量絶縁膜 14 を形成する。

#### 【0061】

本実施例においても、第 4 実施例と同様に、第 1 段階において原料ガスと同時に酸素ガスを導入していることにより、副生成物が多量に生成されることとなるが、上述のように、各ステップ S T の第 2 段階 S 2 において成膜圧力を減圧することにより、第 1 段階 S 1 において形成された副生成物を除去させることができる。この場合、減圧による副生成物を除去する能力は、パージガスを導入して行なうよりも高めることができるので、容量絶縁膜の異常成長を抑制する働きを向上させることができる。ここで、各ステップ S T の第 2 段階 S 2 において減圧した後、次のステップ S T の第 1 段階 S 1 で成膜を行なうのに必要な元の圧力（4 Torr）に戻すまでにはある程度の調圧時間が必要なので、第 2 段階 S 2 の途中（時刻  $t_3$ ）で調圧の準備を開始しなければならない。したがって、第 2 段階 S 2 の一部である時刻  $t_3 \sim t_4$  の 10 秒間に窒素ガスを圧力調整用ガスとして導入することにより、時刻  $t_4$  の次のステップ S T の成膜開始がスムーズに行なわれるようになる。

#### 【0062】

以下は、第 1 実施例と同様に、アニール処理等を施した後、図 3（g）の工程と略同様な工程を繰り返して、容量絶縁膜 14 上に例えば Ru 膜から成る上部電極 15 を形成することにより、キャパシタ 16 を形成したメモリセル 17 を完成させる。

#### 【0063】

上述したように、この例の半導体装置の製造方法によれば、第 1 実施例で説明したのと同様に、第 1 回目のステップ S T における第 1 段階 S 1 によって成膜される 0. 25 nm の酸化タンタル膜は、原料ガス導入開始時には、反応室内に副

生成物が存在しないので、原料ガスがシリンダ溝 1 2 内部を含む全体に均一に行き渡るため成長が均一に進む。また、第 2 回目～第 6 0 回目の各ステップ S T における第 1 段階 S 1 によって成膜される 0. 2 5 n m の酸化タンタル膜は、第 1 段階 S 1 による原料ガス導入時に、前回のステップ S T の第 2 段階 S 2 において副生成物が減圧及び窒素ガスにより除去されて存在しないので、原料ガスがシリンダ溝 1 2 内部を含む全体に均一に行き渡るため成長が均一に進むことにより、容量絶縁膜のカバレッジを向上させることができる。

【 0 0 6 4 】

また、この例の半導体装置の製造方法によれば、減圧により副生成物を除去するようにしたので、酸化タンタル膜の異常成長を抑制する働きを向上させることができるだけでなく、各ステップ S T の原料ガスを導入する期間に酸素ガスを導入するようにしたので、容量絶縁膜の膜質を向上させることができる。

【 0 0 6 5 】

#### ◇第 6 実施例

図 1 0 は、この発明の第 6 実施例である半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。この例の半導体装置の製造方法の構成が、上述した第 5 実施例の構成と大きく異なるところは、上述の第 1 段階と第 2 段階とを複数回繰り返して容量絶縁膜として最終的に必要な膜厚（第 1 実施例の場合と同様に 1 5 n m）の酸化タンタル膜を成膜する際、第 2 回目以降のステップから酸素ガスを導入するようにした点である。以下、図 1 0 を参照して、同半導体装置の製造方法について説明する。

すなわち、第 1 実施例の図 3 （ f ）の工程に代えて、図 1 0 の成膜シーケンスに基づいて酸化タンタル膜を成膜して、下部電極 1 3 上に酸化タンタル膜から成る容量絶縁膜 1 4 を形成する。

【 0 0 6 6 】

この例の半導体装置の製造方法では、第 5 実施例のように原料ガスを導入して成膜する第 1 段階 S 1 と、パージガスとしての窒素ガスを導入する第 2 段階 S 2 との組合せを 1 ステップ S T として、6 0 ステップ S T を繰り返す際、各ステップの第 2 段階 S 2 において反応室内の圧力を減圧するとともに、第 2 回目以降の

ステップ S T の第 1 段階 S 1 から酸素ガスを導入することにより、最終的に必要な膜厚（15 nm）の酸化タンタル膜を成膜するようにする。すなわち、図 10 の成膜シーケンスから明らかなように、第 2 回目以降のステップ S T の第 1 段階 S 1 の時刻  $t_4 \sim t_5$  の 5 秒間に 500 sccm の流量の酸素ガスを導入するようにする。

これ以外は、上述した第 5 実施例と略同様であるので、図 10 において図 9 と対応する部分の説明は省略する。このようにして、60 ステップ S T を繰り返すことにより、下部電極 13 上に最終的に必要な膜厚である 15 nm の酸化タンタル膜から成る容量絶縁膜 14 を形成する。

#### 【0067】

以下は、第 1 実施例と同様に、アニール処理等を施した後、図 3（g）と略同様な工程を繰り返して、容量絶縁膜 14 上に例えば Ru から成る上部電極 15 を形成することにより、キャパシタ 16 を形成したメモリセル 17 を完成させる。

#### 【0068】

上述したように、この例の半導体装置の製造方法によれば、第 5 実施例で説明したのと同様に、第 1 回目のステップ S T における第 1 段階 S 1 によって成膜される 0.25 nm の酸化タンタル膜は、原料ガス導入開始時には、反応室内に副生成物が存在しないので、原料ガスがシリンダ溝 12 内部を含む全体に均一に行き渡るため成長が均一に進む。また、第 2 回目～第 60 回目の各ステップ S T における第 1 段階 S 1 によって成膜される 0.25 nm の酸化タンタル膜は、第 1 段階 S 1 による原料ガス導入時に、前回のステップ S T の第 2 段階 S 2 において副生成物が窒素ガスにより除去されて存在しないので、原料ガスがシリンダ溝 12 内部を含む全体に均一に行き渡るため成長が均一に進むことにより、容量絶縁膜のカバレッジを向上させることができる。

#### 【0069】

また、この例の半導体装置の製造方法によれば、第 5 実施例と比較して、酸素ガスの導入は第 2 回目以降のステップ S T の第 1 段階 S 1 から遅らされて、第 1 回目のステップ S T の第 1 段階 S 1 では酸素ガスが導入されないため、早い時点での酸素ガスの導入に伴って副生成物が生成されるのを遅らすことができるの

で、容量絶縁膜の異常成長を抑制する働きを向上させることができる。すなわち、容量絶縁膜の膜質を向上させるためには酸素ガスの導入が必要であるが、酸素ガスは副生成物の生成をより促進させるように働くため、最初から酸素ガスを導入すると早い時点で副生成物が生成されて異常成長が起こり易くなりカバレッジの低下につながる。特に、Ruから成る下部電極13が完全に露出しているところに酸素ガスが導入されると、副生成物が過度に生成されて異常成長し易くなる。このため、本実施例では酸素ガスの導入は第2回目以降のステップSTからにして、異常成長が起こるのを遅らせている。このため、容量絶縁膜のカバレッジを低下させることなく、膜質を向上させることができる。なお、酸素ガスの導入は、第3回目以降のステップSTの第1段階S1からとさらに遅らすようにしても良く、このように酸素ガスの導入を遅らすほど異常成長を抑制する働きを向上させることができる。

【0070】

#### ◇第7実施例

図11は、この発明の第7実施例である半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。この例の半導体装置の製造方法の構成が、上述した第1実施例の構成と大きく異なるところは、上述の第1段階と第2段階とを複数回繰り返して容量絶縁膜として最終的に必要な膜厚（第1実施例の場合と同様に15nm）の酸化タンタル膜を成膜する際、上記第2段階は、酸化性ガスを導入する工程と、原料ガス及び酸化性ガスとは異なるガスを導入する工程とを含むようにした点である。以下、図11を参照して、同半導体装置の製造方法について説明する。

すなわち、第1実施例の図3（f）の工程に代えて、図11の成膜シーケンスに基づいて酸化タンタル膜を成膜して、下部電極13上に酸化タンタル膜から成る容量絶縁膜14を形成する。

【0071】

この例の半導体装置の製造方法では、第1実施例のように原料ガスを導入して成膜する第1段階S1と、第1段階S1で生成された副生成物を除去する第2段階S2との組合せを1ステップSTとして、60ステップSTを繰り返す際、各

ステップの第2段階S2を酸素ガスを導入する工程と、窒素ガスを導入する工程とにより行なうことにより、最終的に必要な膜厚（15 nm）の酸化タンタル膜を成膜するようにする。すなわち、図11の成膜シーケンスから明らかなように、略430℃に加熱され、略4 Torrに維持された反応室内に基板1を収容した後、時刻t1において反応室内に、PETを50 mg/m（分）の割合で、500 s c c mの流量の窒素キャリアガスで噴霧し気化させて導入して酸化タンタル膜の成膜を開始し、5秒後の時刻t2において原料ガスの導入を停止する。この5秒間に0.25 nmの酸化タンタル膜を成膜する。次に、時刻t2～t3の5秒間に500 s c c mの流量の酸素ガスを導入した後、時刻t3～t4の5秒間に1000 s c c mの流量の窒素ガスを導入して、第1回目のステップSTを終了する。

以下、第2回目から第60回目まで同様に60ステップSTを繰り返すことにより、下部電極13上に最終的に必要な膜厚である15 nmの酸化タンタル膜から成る容量絶縁膜14を形成する。

本実施例では、酸素ガスを、原料ガスと同時ではなく、原料ガスの導入を停止した後に導入しているため、実施例4～6に示したように原料ガスと同時に酸素ガスを導入する場合に対して、副生成物が生成される量を少なくできる。したがって、第2段階の副生成物除去のための時間を短くすることができる。さらに、第1段階において生成された薄い金属酸化膜が、その成膜直後に酸素ガスに曝されることとなるため、酸素の空孔を充填し、かつ有機物を除去することができ、膜質を改善することができる。また、この酸素ガスは、金属酸化膜の膜質改善だけでなく、副生成物をパージする役目も果たす。

#### 【0072】

以下は、第1実施例と同様に、アニール処理等を施した後、図3（g）の工程と略同様な工程を繰り返して、容量絶縁膜14上に例えばRu膜から成る上部電極15を形成することにより、キャパシタ16を形成したメモリセル17を完成させる。

#### 【0073】

上述したように、この例の半導体装置の製造方法によれば、第1実施例で説明

したのと同様に、第1回目のステップSTにおける第1段階S1によって成膜される0.25nmの酸化タンタル膜は、原料ガス導入開始時には、反応室内に副生成物が存在しないので、原料ガスがシリンダ溝12内部を含む全体に均一に行き渡るため成長が均一に進む。また、第2回目～第60回目の各ステップSTにおける第1段階S1によって成膜される0.25nmの酸化タンタル膜は、第1段階S1による原料ガス導入時に、前回のステップSTの第2段階S2において、副生成物がパージガスとしての窒素ガス及びパージガスとしても働く酸素ガスにより除去されて存在しないので、原料ガスがシリンダ溝12内部を含む全体に均一に行き渡るため成長が均一に進むことにより、容量絶縁膜のカバレッジを向上させることができる。

## 【0074】

また、この例の半導体装置の製造方法によれば、酸素ガスの導入は原料ガスの導入の停止後に遅らされて導入されるので、早い時点での酸素ガスの導入に伴って副生成物が生成されるのを遅らすことができるため、副生成物の生成が過剰になるのを防止することができる。このため、容量絶縁膜のカバレッジを低下させることなく、膜質を向上させることができる。

## 【0075】

図12は、上述の実施例で複数のステップSTを繰り返して酸化タンタル膜を成膜した際に、サイクル回数（繰り返し回数）（横軸）とカバレッジ（縦軸）との関係を概略的に示す図である。ここで、特性Aは実施例2に対応し、特性Bは実施例3に対応し、特性Cは実施例5に対応している。図12から明らかなように、特性A、C、Bの順で、少ない繰り返し回数でカバレッジを向上させることができるので、目的、用途等に応じて最適の実施例を選択することができる。

## 【0076】

以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、酸化タンタル膜を成膜する手段としては、CVD法により行なう例で説明したが、これに限らずPVD（Physical Vapor Deposition）法のような物理的手段により行なう場合にも、同様に適用する

ことができる。また、酸化タンタル膜を成膜する際には半導体基板を一枚毎に処理する枚葉式と、複数の半導体基板を同時に処理するバッチ式とが実施されているが、一般に枚葉式の場合は成膜装置内にセットした半導体基板に対して近い距離から反応ガスを供給して成膜しているので、異常成長が生じ易くなっており、この点でこの発明を特に枚葉式に適用すると顕著な効果を得ることができる。また、酸化タンタル膜を成膜する際に用いられる P E T の量、パージガスとしての窒素ガスの流量、あるいは酸素ガスの流量等は、実施例で示した例に限らず、必要に応じて、任意に変更することができる。

## 【 0 0 7 7 】

また、誘電率の大きい金属酸化膜を構成する金属としてはタンタルに限らずに、ハフニウム (Hf)、ジルコニウム (Zr)、ニオブウム (Nb) のような他の金属を用いることができる。ここで、ハフニウムの場合は、ハフニウム ターシャリーブドキサイド  $[\text{Hf}(\text{OC}_4\text{H}_9)_4]$ 、テトラキス 1 メトキシ 2 メチル 2 プロポキシハフニウム  $[\text{Hf}(\text{MMP})_4]$  等をソースとして、またジルコニウムの場合は、ジルコニウム ターシャリーブドキサイド  $[\text{Zr}(\text{OC}_4\text{H}_9)_4]$ 、テトラキス 1 メトキシ 2 メチル 2 プロポキシジルコニウム  $[\text{Zr}(\text{MMP})_4]$  等をソースとして用いることができる。また、容量絶縁膜を構成する金属酸化膜は、上述したような金属の単体の酸化膜に限らず、例えばタンタルとニオブウムとを混合した酸化膜のように、複数の金属を混合して形成した金属酸化膜を用いるようにしても良い。

## 【 0 0 7 8 】

また、下部電極として用いられる触媒作用を有する金属としては R u に限らず、白金 (P t) のような他の金属を用いることができる。また、パージガスとしては実施例で用いた窒素ガスに限らずに、アルゴン (Ar)、ヘリウム (He) のような他の不活性ガス、あるいは酸素ガス等を用いることができる。また、酸素ガスを用いる場合は酸素単体に限らずに、オゾン ( $\text{O}_3$ )、水 ( $\text{H}_2\text{O}$ )、酸化窒素 ( $\text{N}_2\text{O}$ ,  $\text{NO}_x$ ) 又は酸素ラジカルを含んだガス等を用いることができる。

## 【 0 0 7 9 】

上記各実施例では、最終的に必要な酸化タンタル膜の膜厚を 1 5 n m に選んだ例で示したが、膜厚はこれに限らず、適宜変更可能である。なお、最終的に必要

な膜厚を変更する場合、必要とされる膜質やスループットに応じて、1回のステップSTで成膜する膜厚、あるいは繰り返し回数を適宜変更すれば良い。例えば、上記各実施例では、最終的に必要な最終膜厚を15nmとする場合、1回のステップSTで成膜する膜厚を0.25nmに選んだ例で説明したが、副生成物が生じないあるいは生じてもその影響が少ない範囲内で0.25nmより多く選ぶことができる。また、繰り返し回数を実施例1、2及び3では、それぞれ60回、10回及び20回に選んだ例で説明したが、適宜変更することができる。

#### 【0080】

また、DRAMを構成するトランジスタのゲート絶縁膜としては窒化膜(Nitride Film)でも良く、あるいは酸化膜と窒化膜との2重膜構成でも良い。つまり、MIS(Metal Insulator Semiconductor)型トランジスタである限り、MOS型トランジスタに限らずに、MNS(Metal Nitride Semiconductor)型トランジスタでも良く、あるいは、MNOS(Metal Nitride Oxide Semiconductor)型トランジスタでも良い。また、キャパシタを構成する下部電極の形状は断面が円形状や楕円形状等の任意の形状を選択することができ、またシリンダの数も任意に形成することができる。

#### 【0081】

##### 【発明の効果】

以上説明したように、この発明の半導体装置の製造方法によれば、上面に金属膜が形成された半導体基板を収容した反応室内に所望の金属を含んだ原料ガスを導入し、気相成長法により金属膜上に所望の金属の酸化膜を形成する第1段階と、第1段階に続いて、第1段階において反応炉内に導入された原料ガス及び第1段階で発生した副生成物を反応炉内から除去する第2段階とを1ステップとして、このステップを複数回繰り返し行なって金属酸化膜から成る容量絶縁膜を成膜するようにしたので、第1段階において薄い膜厚の金属酸化膜を成膜した後、第2段階において副生成物を除去できるため、容量絶縁膜のカバレッジを向上させることができる。

また、この発明の半導体装置の製造方法によれば、上面に金属膜が形成された半導体基板を収容した反応炉内に所望の金属を含んだ原料ガスを導入し、気相成



長法により金属膜上に所望の金属の酸化膜を形成する第 1 段階と、第 1 段階に続いて、第 1 段階において反応炉内に導入された原料ガス及び第 1 段階で発生した副生成物を反応炉内から除去する第 2 段階とを行なった後、第 1 段階よりも長い時間連続して原料ガスを導入することにより、最終的に必要な膜厚の金属の酸化膜から成る容量絶縁膜を成膜するようにしたので、第 1 段階において薄い膜厚の金属酸化膜を成膜した後、第 2 段階において副生成物を除去できるため、容量絶縁膜のカバレッジを向上させることができる。

したがって、金属膜上に金属の酸化膜を成膜する場合、該金属の酸化膜の異常成長を抑制することができる。

したがって、下部電極として触媒作用を有する金属を用いてシリンダ構造のキャパシタを形成する場合、容量絶縁膜の異常成長を抑制することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 実施例である半導体装置の製造方法の構成を工程順に示す工程図である。

【図 2】

同半導体装置の製造方法の構成を工程順に示す工程図である。

【図 3】

同半導体装置の製造方法の構成を工程順に示す工程図である。

【図 4】

同半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【図 5】

同半導体装置の製造方法において成膜した酸化タンタル膜を概略的に示す図である。

【図 6】

この発明の第 2 実施例である半導体装置の製造方法において、酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【図 7】

この発明の第 3 実施例である半導体装置の製造方法において、酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【図 8】

この発明の第 4 実施例である半導体装置の製造方法において、酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【図 9】

この発明の第 5 実施例である半導体装置の製造方法において、酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【図 1 0】

この発明の第 6 実施例である半導体装置の製造方法において、酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【図 1 1】

この発明の第 7 実施例である半導体装置の製造方法において、酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【図 1 2】

この発明において、複数のステップ S T を繰り返して酸化タンタル膜を成膜した際に、サイクル回数（繰り返し回数）（横軸）とステップカバレッジ（縦軸）との関係を概略的に示す図である。

【図 1 3】

従来の半導体装置の製造方法を工程順に示す工程図である。

【図 1 4】

従来の半導体装置の製造方法において、酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【図 1 5】

従来の半導体装置の製造方法において成膜した酸化タンタル膜を概略的に示す図である。

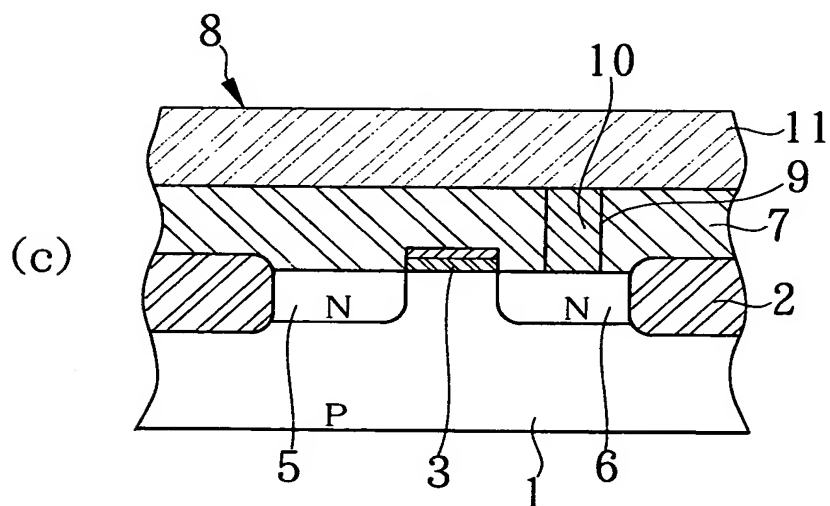
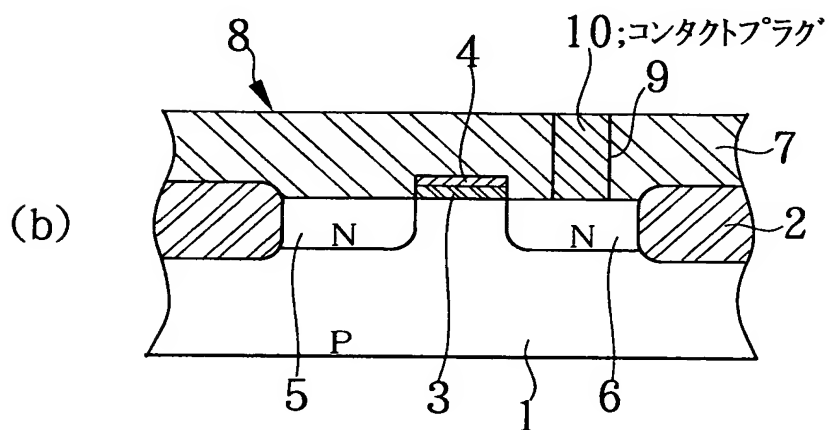
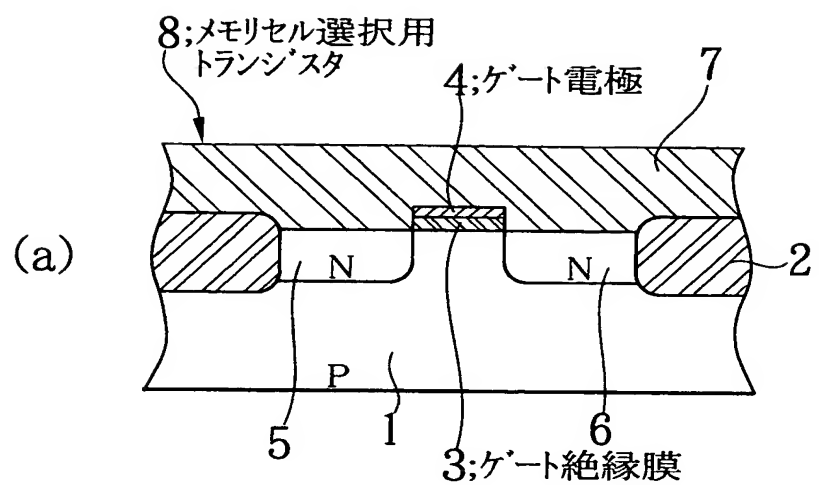
【符号の説明】

- 1          P 型半導体基板
- 2          素子分離領域

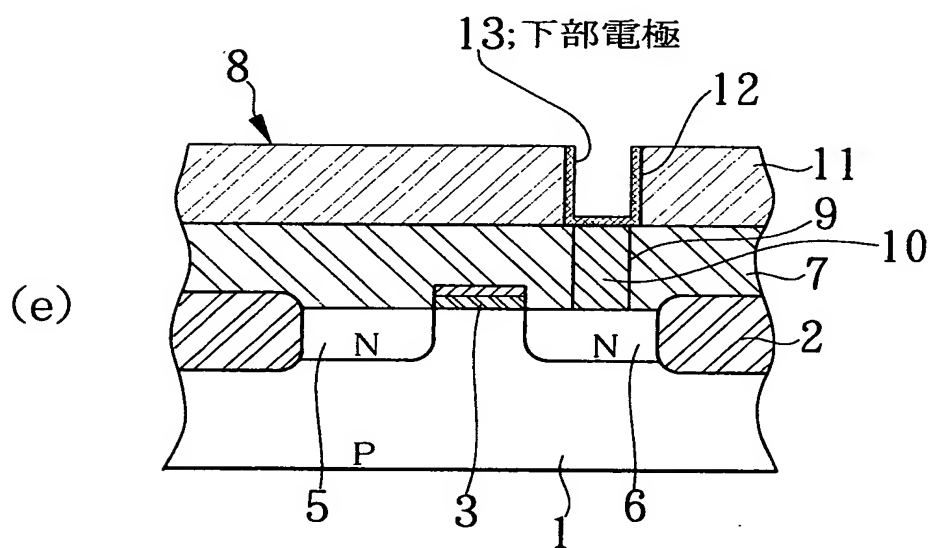
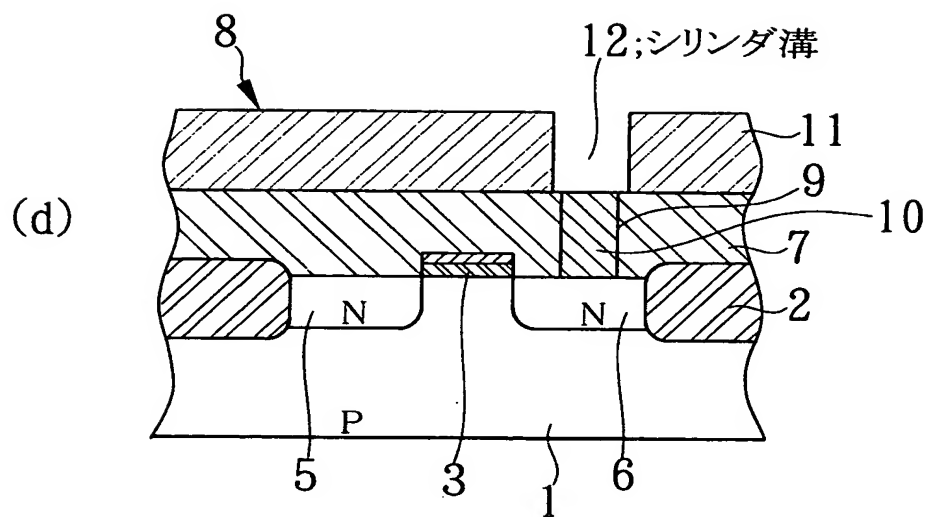
- 3        ゲート絶縁膜
- 4        ゲート電極
- 5、6        N型領域
- 7        第1層間絶縁膜間
- 8        メモリセル選択用トランジスタ (NMOS型トランジスタ)
- 9        コンタクトホール
- 10        コンタクトプラグ
- 11        第2層間絶縁膜
- 12        シリンダ溝
- 13        下部電極
- 13A        下部電極電極膜
- 14        容量絶縁膜 (酸化タンタル膜)
- 15        上部電極
- 16        キャパシタ
- 17        メモリセル

【書類名】 図面

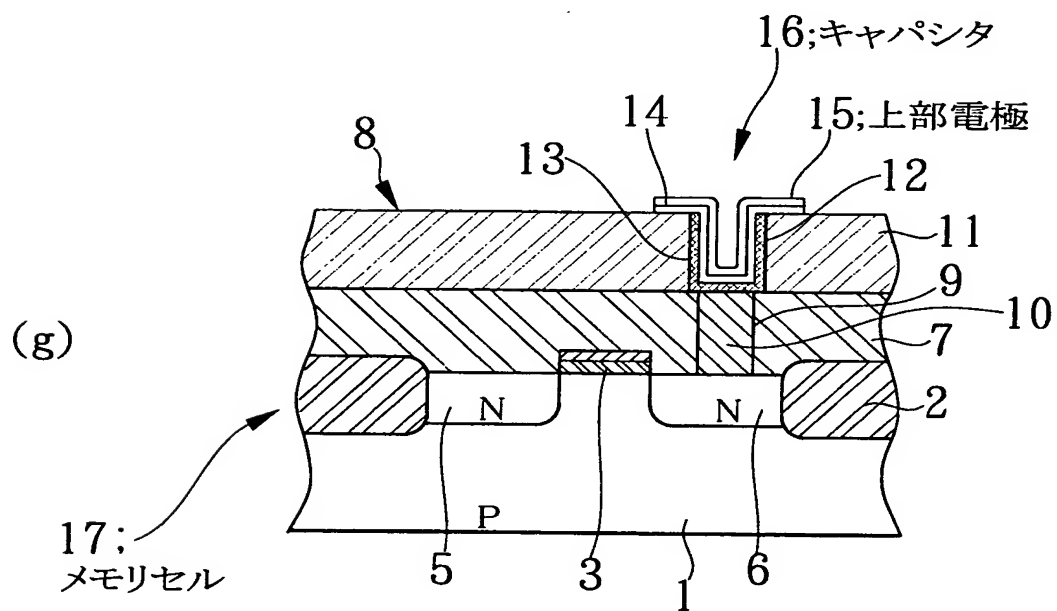
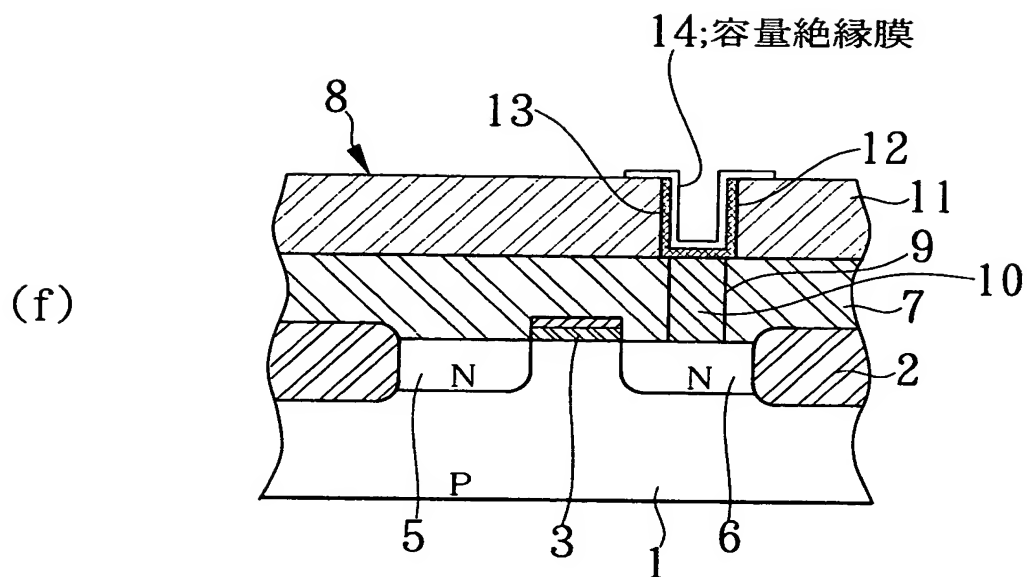
【図 1】



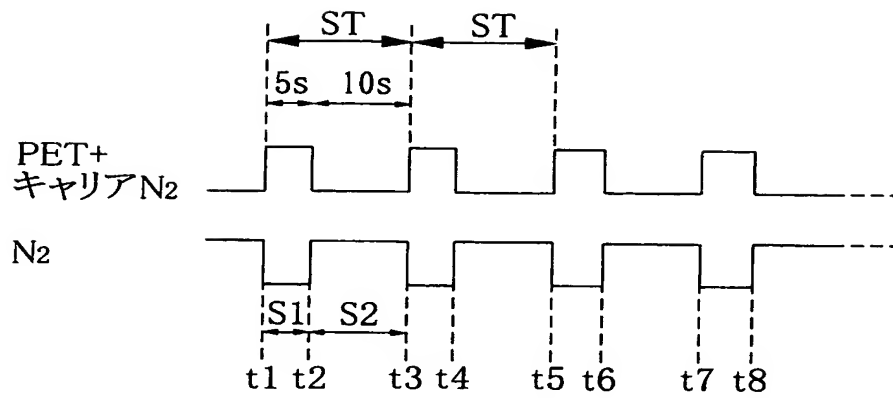
【図 2】



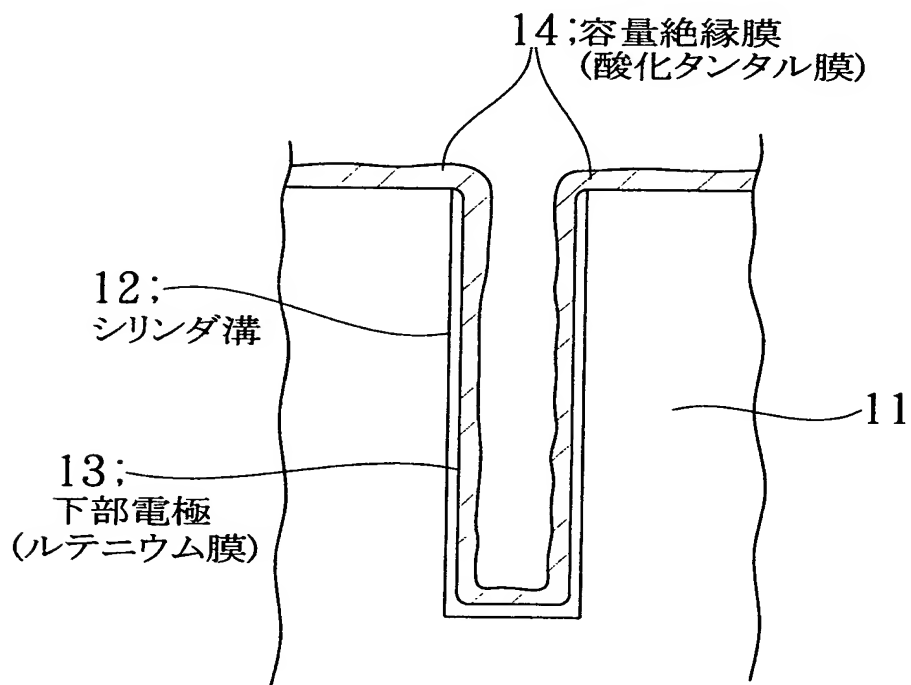
【図 3】



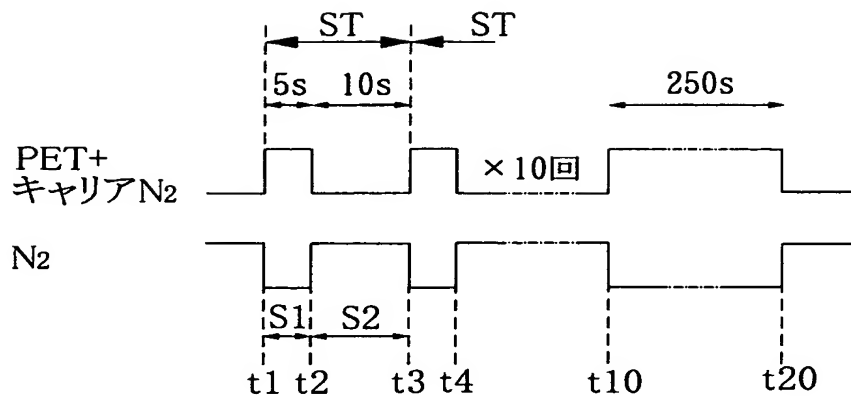
【図 4】



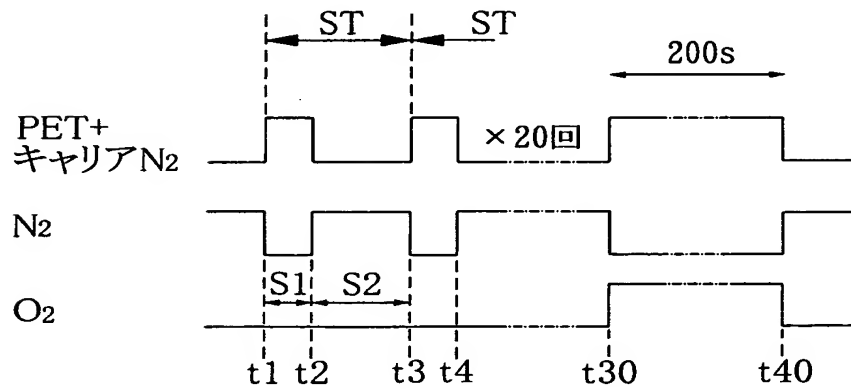
【図 5】



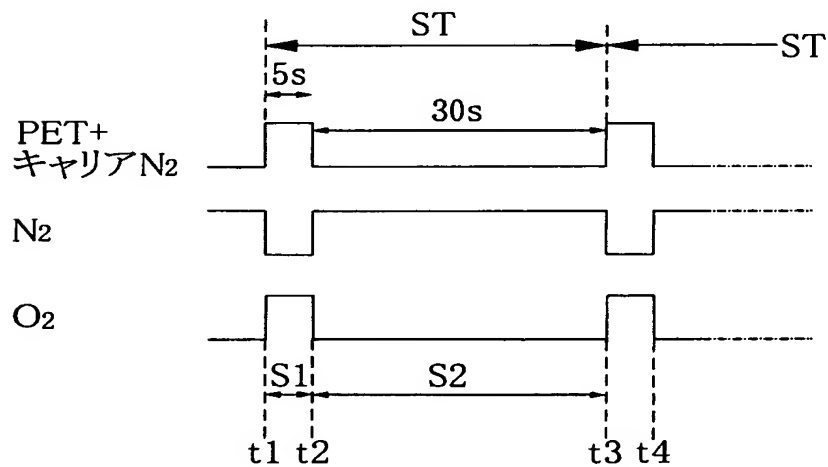
【図 6】



【図 7】

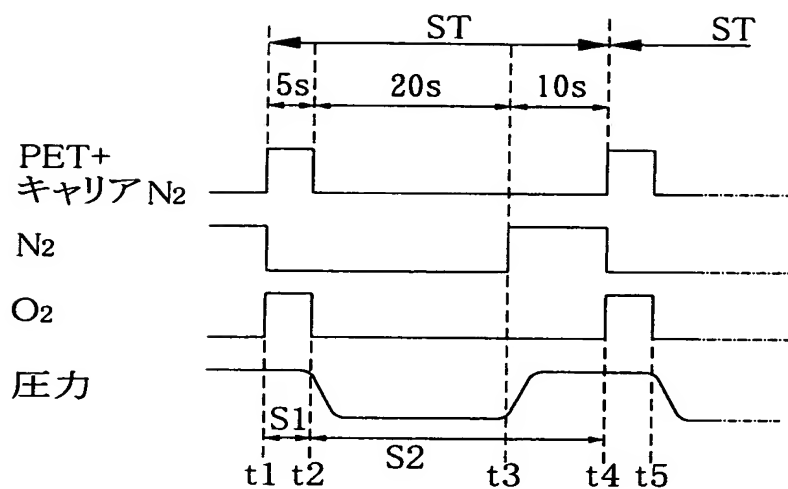


【図 8】

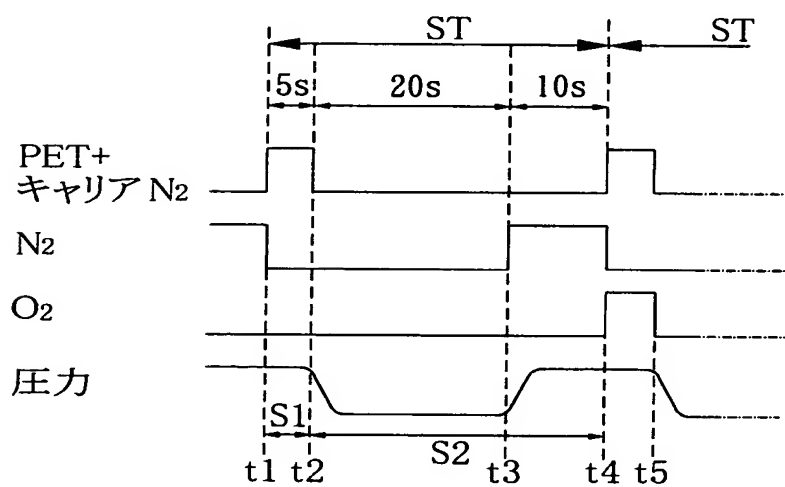




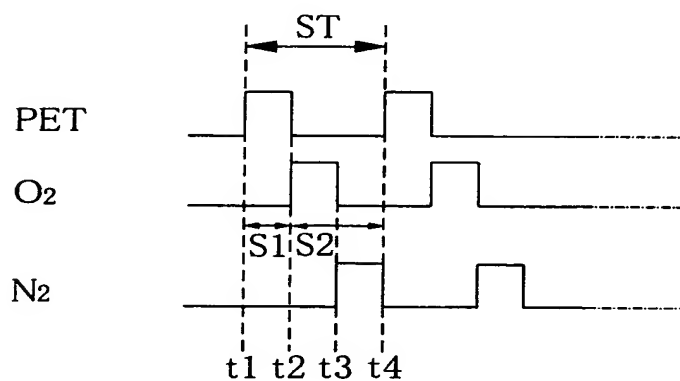
【図 9】



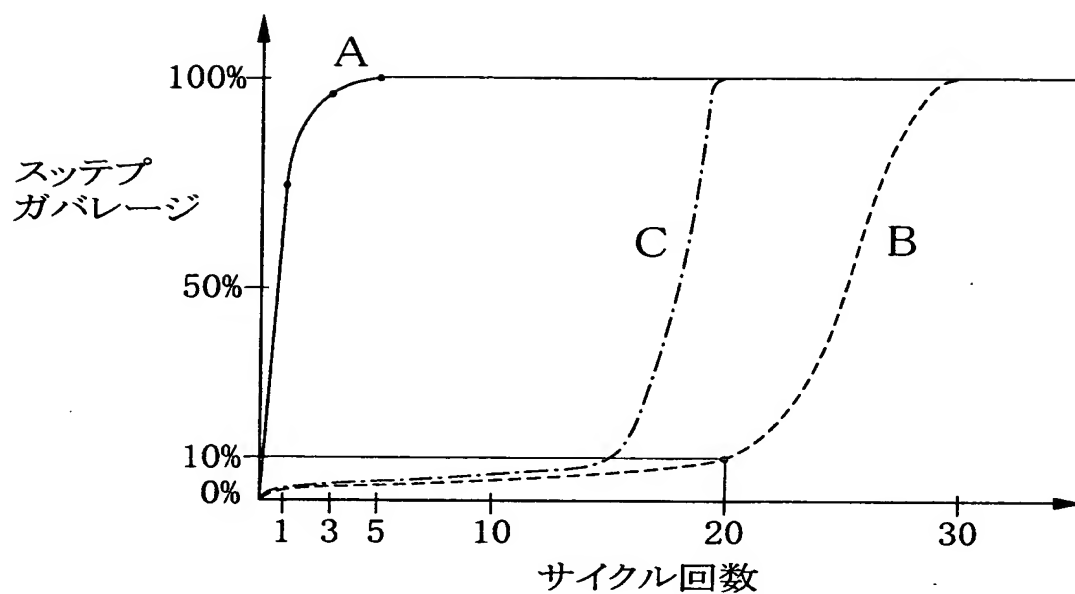
【図 1 0】



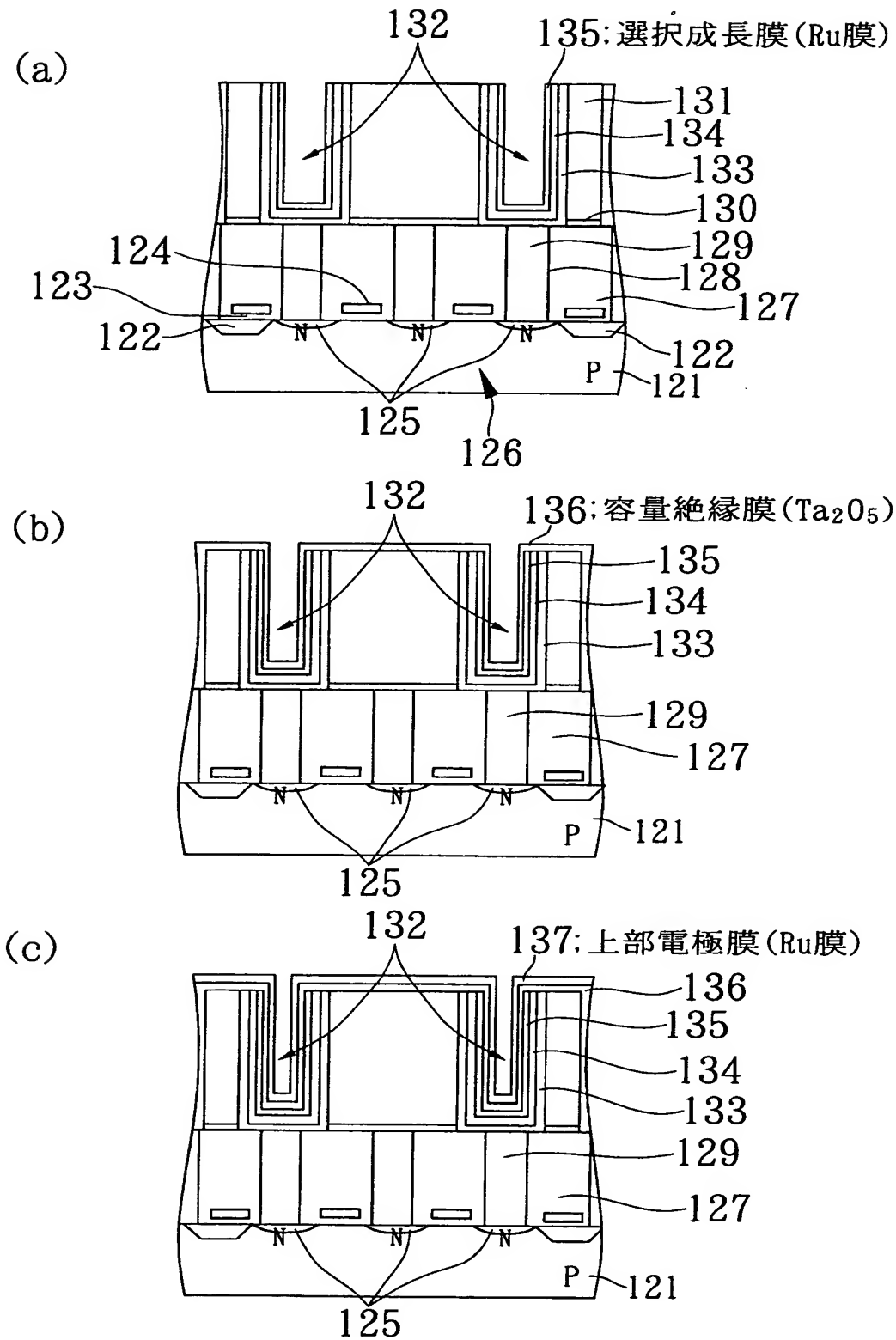
【図 1 1】



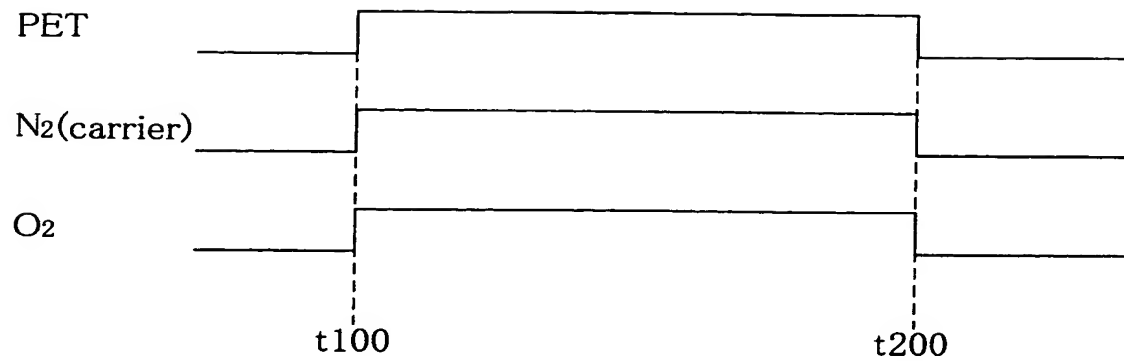
【図 1 2】



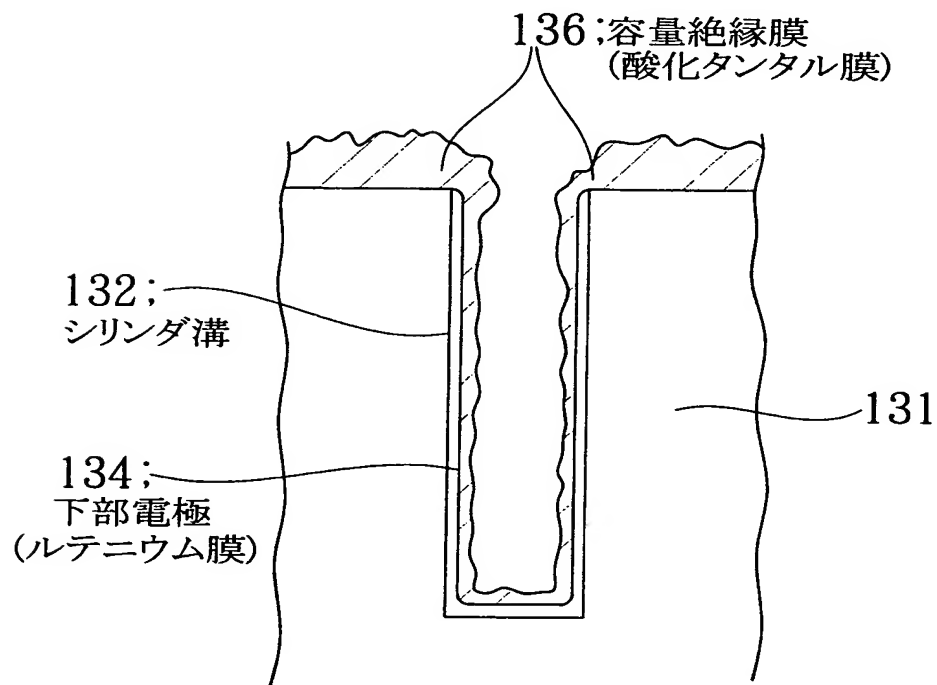
【图 1 3】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 金属膜上に金属の酸化膜を成膜する場合、該金属の酸化膜の異常成長を抑制する。

【解決手段】 開示される半導体装置の製造方法は、Ruから成る下部電極13を形成した半導体基板1を反応炉内に収容して、反応炉内に所望の金属であるタンタルを含んだPETを原料ガスとして導入してCVD法により酸化タンタル膜を形成する第1段階S1と、この第1段階S1に続いて、第1段階S1において反応炉内に導入されたPET及び第1段階S1で発生した副生成物を反応炉内から窒素ガスにより除去する第2段階S2とを1ステップとして、このステップを繰り返すことにより、最終的に必要な膜厚の酸化タンタル膜を成膜する。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [ 5 0 0 1 7 4 2 4 7 ]

1. 変更年月日	2 0 0 0 年 7 月 1 2 日
[変更理由]	名称変更
住 所	東京都中央区八重洲 2 - 2 - 1
氏 名	エルピーダメモリ株式会社